

KOREAN PATENT ABSTRACT (KR)

Patent Laid-Open Gazette

(51) IPC Code: H03K 5/13

(11) Publication No.: P1998-056142

(43) Publication Date: 25 September 1998

(21) Application No.: 10-1996-075406

(22) Application Date: 28 December 1996

(73) Applicant:

Samsung Electronics Co., Ltd.

416 Maetan-dong, Paldal-gu, Suwon-City, Gyeonggi-do, ROK

(72) Inventor:

CHOI, JIN SEOP

(54) Title of the Invention:

Signal Delay Circuit using Frequency Multiplier

Abstract:

Provided is a signal delay circuit using a frequency multiplier. The delay circuit includes first through N frequency multipliers (N is a positive integer not smaller than 1), first through N switches, and a flip-flop that buffers a clock signal in response to an output from N switches. The first frequency multiplier frequency multiplies the clock signal and outputs the frequency-multiplied signal. The N frequency multiplier frequency multiplies and outputs signals output from the first through N frequency multipliers. The N switch switches the output from the N frequency multiplier to the flip-flop in response to a control signal. The control signal is produced to select one of the first through N switches. The clock signal input to the delay circuit can be output after being delayed using the frequency multipliers.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶

H03K 5/13

(11) 공개번호 특1998-056142

(43) 공개일자 1998년09월25일

(21) 출원번호 특1996-075406
(22) 출원일자 1996년12월28일
(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 최진섭
경기도 부천시 오정구 여월동 53-25 대원빌라 2동 103호

심사청구 : 없음

(54) 주파수 체배기를 이용한 신호 지연회로

요약

주파수 체배기를 이용한 신호 지연 회로가 개시된다. 제1 ~ N(여기서, N은 1이상의 양의 정수) 주파수 체배기들과, 제1 ~ N 스위칭수단들 및 N개의 스위칭수단들의 출력에 응답하여 클럭신호를 버퍼링한 후, 출력하는 플립플롭을 구비하고, 제1주파수 체배기는 클럭신호를 주파수 체배하고, 주파수 체배된 신호를 출력하며, 제N주파수 체배기는 제N-1주파수 체배기로부터 출력되는 신호를 주파수 체배하여 출력하고, 제N스위칭수단은 제N주파수 체배기의 출력을 제어신호에 응답하여 플립플롭으로 스위칭하고, 제어신호는 제1 ~ N 스위칭수단들중 하나를 선택하도록 발생되는 것을 특징으로 하고, 입력한 클럭신호를 주파수 체배기를 이용하여 다양한 시간동안 지연후에 출력할 수 있는 효과가 있다.

도표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 주파수 체배기를 이용한 신호 지연 회로의 블록도이다.

도 2는 도 1에 도시된 각 주파수 체배기의 블록도이다.

도 3의 (a)~(c)들은 도 1에 도시된 각 부의 파형도들이다.

발명의 상세한 설명

발명의 목적

발명에 속하는 기술 및 그 분야의 종래기술

본 발명은 주파수 체배기를 이용하는 분야에 관한 것으로서, 특히 주파수 체배기를 이용하여 신호를 소정 시간동안 지연하는 주파수 체배기를 이용한 신호 지연 회로에 관한 것이다.

일반적으로, 시스템 클럭은 시스템내에서 다양하게 사용되기 위해서, 분주되거나 지연한다.

종래의 지연 회로는 클럭신호에 상응하는 입력한 구형파를 소정 시간동안 지연한 후, 지연된 구형파 신호들을 출력하였다. 이 때, 소정시간이 대개 구형파 신호의 주기보다 크기 때문에, 종래의 지연 회로는 정밀하게 신호를 지연할 수 없는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 주기 T를 갖는 신호를 N개의 주파수 체배기를 이용하여 T/2N+1만큼 지연하여 출력하는 주파수 체배기를 이용한 신호 지연 회로를 제공하는데 있다.

발명의 구성 및 작용

상기 과제를 이루기 위한 본 발명에 의한 주파수 체배기를 이용한 신호 지연 회로는 제1 ~ N(여기서, N은 1이상의 양의 정수) 주파수 체배기들과, 제1 ~ N 스위칭수단들 및 상기 N개의 스위칭수단들의 출력에 응답하여 클럭신호를 버퍼링한 후, 출력하는 플립플롭으로 구성되고, 상기 제1주파수 체배기는 클럭신호를 주파수 체배하고, 주파수 체배된 신호를 출력하며, 상기 제N주파수 체배기는 제N-1주파수 체배기로부터

출력되는 신호를 주파수 체배하여 출력하고, 상기 제N스위칭수단은 상기 제N주파수 체배기의 출력을 제어 신호에 응답하여 상기 플립플롭으로 스위칭하고, 상기 제어신호는 상기 제1 ~ N 스위칭수단들중 하나를 선택하도록 발생되는 것이 바람직하다.

이하, 본 발명에 의한 주파수 체배기를 이용한 신호 지연 회로의 구성 및 동작을 첨부한 도면을 참조하여 다음과 같이 설명한다.

도 1은 본 발명에 의한 주파수 체배기를 이용한 신호 지연 회로의 블록도로서, 제1 ~ N 주파수 체배기들(10, 12, ..., 14), 제1 ~ N 스위치들(20, 22, ..., 24) 및 D플립플롭(DFF)(30)으로 구성된다.

도 2는 도 1에 도시된 각 주파수 체배기의 블록도로서, 톨니파 발생부(40)를 구성하는 연산 상호 컨덕턴스 증폭기(OTA:Operational Transconductance Amplifier) 및 전류 버퍼(42)와 커패시터들(C), 직류 차단 버퍼(44), 비교기(46) 및 배타적 논리합(48)으로 구성된다.

도 3의 (a)~(c)들은 도 1에 도시된 각 부의 파형도들로서, 도 3의 (a)는 클럭신호의 파형도이고, 도 3의 (b)는 제1주파수 체배기(10)로부터 출력되는 신호의 파형도이고, 도 3의 (c)는 출력단자 OUT를 통해 출력되는 T/2 지연된 신호의 파형도이다.

D플립플롭(30)은 입력단자 IN을 통해 주기 T를 갖는 도 3의 (a)에 도시된 클럭신호를 데이터 입력하고, 선택된 스위치로부터 출력되는 신호를 클럭입력하며, 클럭신호의 하강엣지에서 입력한 신호를 출력단자 OUT를 통해 출력한다. 각 스위치는 해당하는 주파수 체배기로부터 출력되는 신호를 제어신호(C)에 응답하여 스위칭하는 역할을 수행하며, 제어신호(C)는 스위치들중 하나가 선택되도록 발생된다.

제N주파수 체배기(14)는 제N-1주파수 체배기로부터 출력되는 신호를 소정수배 분주하고, 분주된 신호를 제N+1주파수 체배기로 출력한다. 즉, 도 2에 도시된 주파수 체배기는 이미 개시된 회로로서, OTA 및 전류 버퍼(42)와 커패시터들로 구성된 톨니파 발생부(40)는 입력단자 IN을 통해 도 3의 (a)에 도시된 신호를 입력하여 톨니파로 변형하고, 변형된 톨니파를 직류 차단 버퍼(44)로 출력한다. 직류 차단 버퍼(44)의 출력은 비교기(46)에서 비교된 후, 배타적 논리합(48)에서 클럭신호와 배타적 논리합된다. 배타적 논리합된 신호는 출력단자 OUT를 통해 도 3의 (b)에 도시된 주파수 체배된 신호로서 출력된다.

전술한 구성을 갖는 도 1에 도시된 신호 지연 장치가 입력단자 IN을 통해 주기가 T인 클럭신호를 입력할 경우, 제어신호를 적절히 발생하여, T/2N+1만큼 클럭신호를 지연하고, 지연된 클럭신호를 출력단자 OUT를 통해 출력한다. 즉, T/2만큼 지연할 경우, 제1스위치(20)가 온되고, T/4만큼 지연할 경우, 제2스위치(22)가 온된다.

즉, 만일, 클럭신호를 T/2만큼 지연하여 출력하고자 하는 경우, 도 1에 도시된 제1주파수 체배기(10)는 입력단자 IN을 통해 입력한 도 3의 (a)에 도시된 신호를 분주하여 도 3의 (b)에 도시된 신호를 출력하고, 제1스위치(20)가 온되도록 제어신호를 출력하여 D플립플롭(30)을 통해 도 3의 (c)에 도시된 신호가 출력될 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의한 주파수 체배기를 이용한 신호 지연 회로는 입력한 클럭신호를 주파수 체배기를 이용하여 다양한 시간동안 지연후에 출력할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1. 제1 ~ N(여기서, N은 10이상의 양의 정수) 주파수 체배기들;

제1 ~ N 스위칭수단들; 및

상기 N개의 스위칭수단들의 출력에 응답하여 클럭신호를 버퍼링한 후, 출력하는 플립플롭을 구비하고,

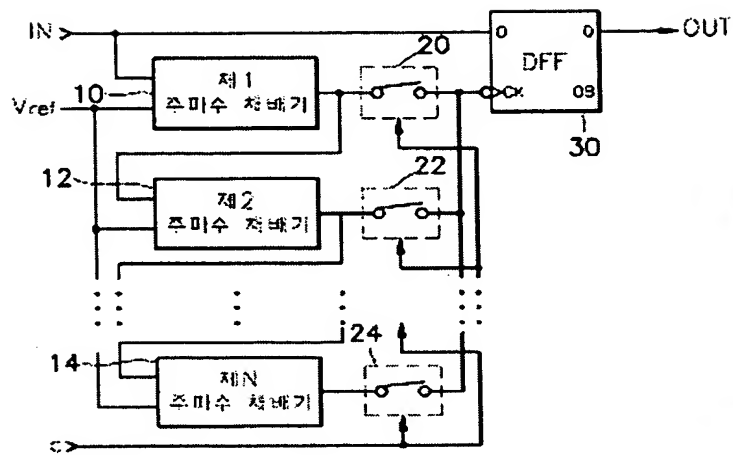
상기 제1주파수 체배기는 클럭신호를 주파수 체배하고, 주파수 체배된 신호를 출력하며, 상기 제N주파수 체배기는 제N-1주파수 체배기로부터 출력되는 신호를 주파수 체배하여 출력하고,

상기 제N스위칭수단은 상기 제N주파수 체배기의 출력을 제어신호에 응답하여 상기 플립플롭으로 스위칭하고,

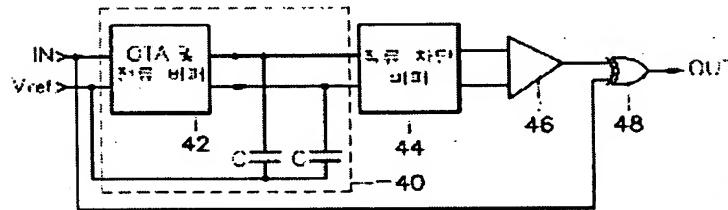
상기 제어신호는 상기 제1 ~ N 스위칭수단들중 하나를 선택하도록 발생되는 것을 특징으로 하는 주파수 체배기를 이용한 신호 지연 회로.

도면

도면1



도면2



도면3

